

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—175035

⑬ Int. Cl.³
G 06 F 1/04

識別記号

庁内整理番号
7056—5B

⑭ 公開 昭和58年(1983)10月14日

発明の数 1
審査請求 未請求

(全 4 頁)

⑮ タイミング発生回路

海老名市本郷2274番地富士ゼロックス株式会社海老名工場内

⑯ 特 願 昭57—56974

⑰ 出 願 人 富士ゼロックス株式会社

⑱ 出 願 昭57(1982)4月6日

東京都港区赤坂3丁目3番5号

⑲ 発 明 者 井川和彦

⑳ 代 理 人 弁理士 木村高久

明 細 書

1. 発明の名称

タイミング発生回路

2. 特許請求の範囲

(1) 基準クロックに基づいて出力信号の内容が更新される順序回路と、この順序回路の出力信号内容に対応したデータを逐次読出すメモリーとを具え、前記メモリーの読出しデータを該データのビット数分の並列タイミング信号とするタイミング発生回路。

(2) 前記順序回路は前記基準クロックに基づいて順次二進計数動作を実行するカウンタ回路である特許請求の範囲第(1)項記載のタイミング発生回路。

(3) 前記メモリーは半導体ROMと該ROMの出力信号を前記基準クロックに基づいて順次ロードするラッチ回路である特許請求の範囲第(2)項記載のタイミング発生回路。

(4) 前記メモリーは半導体ROMと該ROMの

出力信号を前記基準クロックに基づいて順次ロードするラッチ回路であり、前記順序回路は前記ラッチ回路の出力の一部を前記半導体ROMのアドレス端子にフィードバックする帰還回路である特許請求の範囲第(1)項記載のタイミング発生回路。

3. 発明の詳細な説明

この発明はタイミング発生回路に関し、特にタイミング信号発生手段として半導体ROM (Read only memory) を用いたタイミング発生回路に関する。

一般に、タイミング発生回路においては、ある基準クロックに同期した種々のタイミング信号を発生させることを要求されることが多い。

第1図に従来のタイミング発生回路における一般的な構成を示す。すなわち、カウンタ回路10は基準クロックTに基づいて順次所定の二進計数動作を実行し、この計数データをビットごと各別に組合わせ論理回路20に送るものであり、この計数データを組合わせ論理回路20で種々さまざまに論理合成(例えば論理和、論理積等による組

合わせ)したり、あるいはこの論理合成出力の一部をJ-Kフリップフロップ等のフリップフロップ回路30でさらに保持または論理反転したりして必要とする出力タイミング信号を得ていた。

ところで、上記タイミング発生回路は必要とする決ったタイミング信号を得るためのものであることから、タイミング信号の設計仕様に変更があったり、または他の駆動回路に流用したりする場合、組合わせ論理回路20自体の変更、あるいは組合わせ論理回路20とフリップフロップ回路30との接続態様の変更、さらにはフリップフロップの数の変更等々の大幅なハードウェアの変更が必要となるものであり、融通性がないという不都合があった。

この発明は上記実情に鑑みてなされたものであり、所望のタイミング信号を得るために必要とされる論理回路部に半導体ROM(以下単にROMという)を採用することによって設計の簡単化および設計変更の容易化を図る汎用性に富んだタイミング発生回路を提供することを目的とする。

号を半永久的に記憶するものであり、前記印加されたアドレス信号に対応する上記記憶データが順次読出されてラッチ回路50に加えられる。ラッチ回路50は基準クロックTに基づいてこの読出されたデータをロードすることにより上記ROM40に対するアドレス信号の伝搬遅延時間とROM40のアクセス時間により生じるROM40の出力信号不定領域の影響とをカバーして出力の安定化を図るものであり、このラッチ出力はROM40の読出しデータの内容に対応した並列のタイミング信号として図示しない複数の駆動回路に加えられるその動作タイミングを制御する。なお、ROM40の出力信号が安定なものであるときは、上記ラッチ回路50を削除して該ROM40の出力信号を直接所用のタイミング信号としてもよい。

次に第3図(a)、(b)および(c)を参照して上述した実施例回路の具体動作例を説明する。

なお、この動作例では、カウンタ回路10から出力される計数データが a_0 、 a_1 の2ビットからなるデータ、またROM40から読出されるデ

すなわちこの発明は、あらかじめタイミング信号用データを記憶したROMのアドレス入力端子に一定の周期で論理値が変化するアドレス信号を与え、該ROMからこのアドレス信号に対応したデータを逐次読出させてこれをタイミング信号とするものである。これにより上記ROMの記憶内容に応じた任意のタイミング信号を取り出すことができる。

以下、この発明にかかるタイミング発生回路を添付図面に示す実施例にしたがって詳細に説明する。

第2図は第1図に示した従来のタイミング発生回路にこの発明を適用した一実施例を示すものである。

第2図においてカウンタ回路10が基準クロックTに基づいて順次所定の二進計数動作を実行するものであることは前述した通りであり、この実施例回路ではこの計数情報をアドレス信号としてROM40のアドレス入力端子に加える。ROM40はあらかじめ記憶させた所望のタイミング信

ータが K_0 、 K_1 、 K_2 、 K_3 の4ビットからなるデータであって(第3図(a)参照)、これらの関係すなわちROM40の入出力条件が第3図(b)の真理値表に示す関係にあるとする。第3図(c)のタイムチャートはこの第3図(b)に示す関係に基づいたROM40の出力態様を示すものであり、以下このタイムチャートにおける時刻 T_0 、 T_1 、… T_i にしたがって順にこの動作を説明する。ただしこのタイムチャートにおけるROM40出力態様は、前述したアドレス信号の伝搬遅延時間およびROM40の出力信号不定領域の影響が無視できるものとして基準クロックTに同期させて示している。

時刻 T_0 …基準クロックTの立上がり同期してカウンタ回路10から計数データすなわちアドレス信号 $a_0 = 0$ 、 $a_1 = 0$ が出力され、ROM40からはこのアドレスに対応したデータ $K_0 = 0$ 、 $K_1 = 1$ 、 $K_2 = 0$ 、 $K_3 = 0$ が出力される。

時刻 T_1 : ... アドレス信号が $a_0 = 0$ 、 $a_1 = 1$ に変わり、ROM 40 からはこのアドレスに対応するデータ $K_0 = 1$ 、 $K_1 = 0$ 、 $K_2 = 0$ 、 $K_3 = 0$ が出力される。

時刻 T_2 : ... アドレス信号が $a_0 = 1$ 、 $a_1 = 0$ に変わり、ROM 40 からはこのアドレスに対応するデータ $K_0 = 1$ 、 $K_1 = 1$ 、 $K_2 = 1$ 、 $K_3 = 0$ が出力される。

時刻 T_3 : ... アドレス信号が $a_0 = 1$ 、 $a_1 = 1$ に変わり、ROM 40 からはこのアドレスに対応するデータ $K_0 = 0$ 、 $K_1 = 0$ 、 $K_2 = 1$ 、 $K_3 = 1$ が出力される。

時刻 T_4 : ... この時刻においてカウンタ回路 10 の一計数同期が終り、再び上記時刻 T_0 におけるアドレス信号と同様のアドレス信号すなわち $a_0 = 0$ 、 $a_1 = 0$ が該カウンタ回路 10 から

出力され、以後上記同様の計数動作が繰り返される。勿論 ROM 40 の出力データ態様もこのアドレス信号の変化に追従して上記同様の変化を繰り返す。

このように基準クロック T が印加されている間中 ROM 40 の記憶データを連続して読出すことにより、該 ROM 40 の記憶内容に基づいた 4 種類のタイミング信号を得ることができる。

なお、カウンタ回路 10 の構成、ROM 40 のアドレス指定方法、ROM 40 の記憶内容および基準クロック T の周期等を適宜変更することにより、第 3 図に示した例に限らない任意のタイミング信号が容易に得られるものであることは勿論である。

また、上述した実施例においては、カウンタ回路 10 を用いて ROM 40 のアドレスを順次指定するようにしたが、ROM のアドレスを適宜に指定変更できて所望のタイミング信号が得られるものであれば他のいかなる論理回路を用いてもよい。

ところで、上述した実施例において所望とするタイミング信号の数が 1 個の ROM の記憶領域では不足する時には、第 4 図に示すように ROM 40 を並列にいくつか追加接続すればよい。これにより基本構成を何ら変更することなく不足信号を得ることができる。

また第 5 図に示すように、ROM 40 の未接続アドレス端子 I_A を図示しない外部回路により制御して ROM 40 の記憶内容のページ切換えを行うことができる。これによりさらに複数の仕様を有するタイミング発生回路が実現される。

第 6 図にこの発明のタイミング発生回路の他の実施例を示す。

すなわちこの実施例回路は ROM 40 の出力信号の一部をラッチ回路 50 を介して該 ROM 40 のアドレス指定端子にフィードバックし、このフィードバック信号 F を次のデータの読出しのためのアドレス信号としたものであり、このような構成とすることにより前記カウンタ回路 10 を用いることなく先に示した実施例と同等の機能を有す

るタイミング発生回路を実現することができる。なお、始動時（例えば電源投入時）における初期アドレス設定機能は、ROM 40、ラッチ回路 50 のいずれに持たせてもよい。

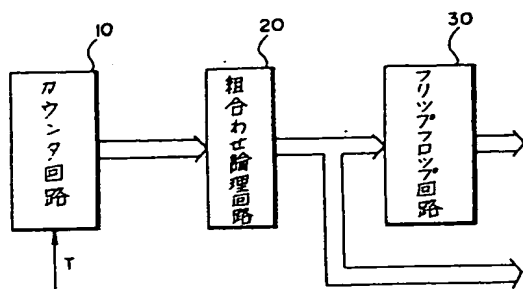
以上説明したように、この発明にかかるタイミング発生回路によれば、ROM の記憶内容に基づいた任意のタイミング信号を形成することができることから、仕様変更等も容易となり、汎用性が著しく向上する。また回路全体としてのハードウェア量も低減される。

4. 図面の簡単な説明

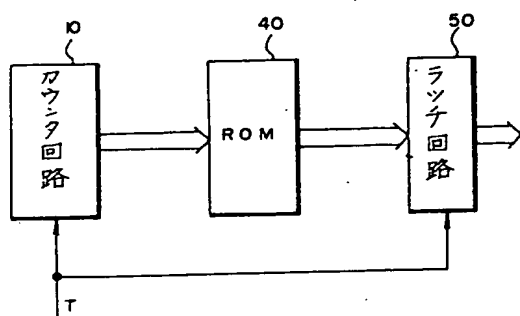
第 1 図は従来のタイミング発生回路の一般的な構成を示す図、第 2 図はこの発明にかかるタイミング発生回路の一実施例構成を示す図、第 3 図は実施例回路の動作例を示す図、第 4 図乃至第 6 図はそれぞれこの発明にかかるタイミング発生回路の他の実施例を示す図である。

10 ... カウンタ回路、20 ... 組合わせ論理回路、30 ... フリップフロップ回路、40、40' ... ROM、50、50' ... ラッチ回路。

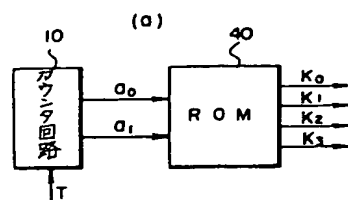
第 1 図



第 2 図



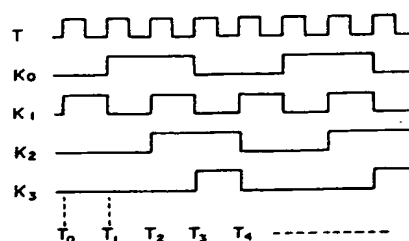
第 3 図



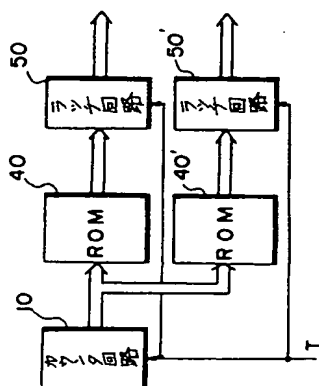
(b)

アドレス		ROM 出力			
a ₀	a ₁	K ₀	K ₁	K ₂	K ₃
0	0	0	1	0	0
0	1	1	0	0	0
1	0	1	1	1	0
1	1	0	0	1	1

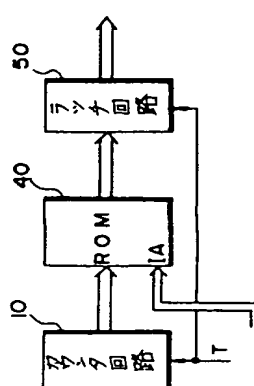
(c)



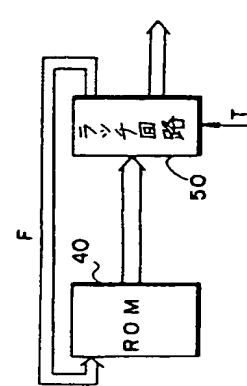
第 4 図



第 5 図



第 6 図



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-175035

(43)Date of publication of application : 14.10.1983

(51)Int.Cl.

G06F 1/04

(21)Application number : 57-056974

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 06.04.1982

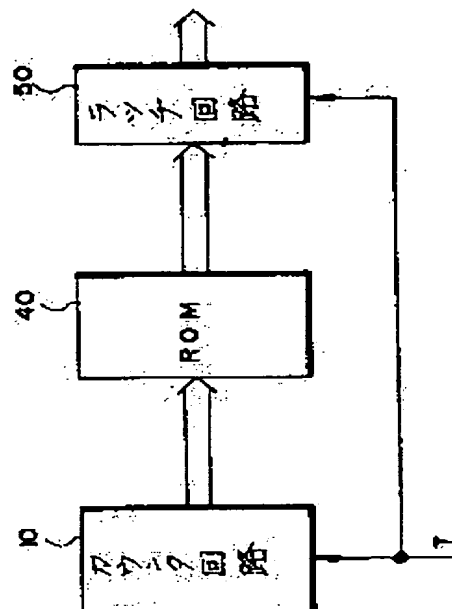
(72)Inventor : IGAWA KAZUHIKO

(54) TIMING GENERATION CIRCUIT

(57)Abstract:

PURPOSE: To simplify the design and to make the design change easy, by adopting a semiconductor ROM in a logical circuit section.

CONSTITUTION: Count information is applied to an address input terminal of the ROM 40 as an address signal. The ROM40 stores a desired timing signal stored in advance semipermanently. Storage data corresponding to the applied address signal is read out sequentially and applied to a latch circuit 50, which covers the effect of an output signal unstable region of the ROM40 caused by the access time of the ROM40 and that of a transmission delay time of an address signal to the ROM40 and stabilizes the output, by loading the data read out based on a reference clock T. Further, this latch output is applied to plural drive circuits as a parallel timing signal corresponding to the content of readout data to control the operating timing.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office